

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09051077 A**(43) Date of publication of application: **18.02.97**

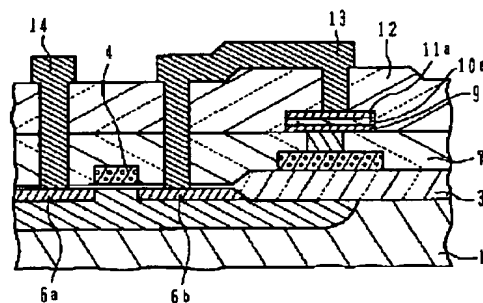
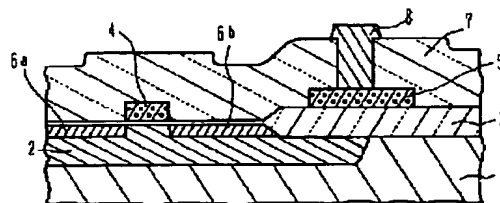
(51) Int. Cl.

H01L 27/10
H01L 27/04
H01L 21/822
H01L 27/108
H01L 21/8242

(21) Application number: **07200915**(71) Applicant: **YAMAHA CORP**(22) Date of filing: **07.08.95**(72) Inventor: **HANAGASAKI OSAMU****(54) SEMICONDUCTOR MEMORY AND MANUFACTURE THEREOF****(57) Abstract:**

PROBLEM TO BE SOLVED: To improve the characteristics of a ferroelectric capacitor by providing a transistor having a source region, a drain region and a gate electrode on a semiconductor surface, sequentially laminating the first electrode, ferroelectric layer and second electrode of the same planar shape on the substrate surface, and connecting the one of the electrodes to the drain region.

SOLUTION: A gate electrode 4 and a plate interconnection 5 are formed on a semiconductor substrate 1, and with the electrode 4 as a mask, impurity ion is implanted to form a source region 6a and a drain region 6b. Then, formed interlayer insulating film 7 is etched, a contact hole for exposing the partial surface of the interconnection 5 is formed, the Si surface exposed in the hole is embedded with W plug 8, and the film 7 and the plug surface are flattened. A ferroelectric capacitor formed of a lower electrode 9a, a ferroelectric layer 10a and an upper electrode 11a is formed on the flattened plug 8. The region 6b is connected to the electrode 11a of the capacitor by an interconnection 13.



COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 5 1 0 7 7

(43) 公開日 平成 9 年 (1997) 2 月 1 8 日

(51) Int. Cl. °	識別記号	庁内整理番号	F I	技術表示箇所
H01L 27/10	451		H01L 27/10	451
27/04			27/04	C
21/822			27/10	651
27/108				
21/8242				

審査請求 未請求 請求項の数 9 O L (全 10 頁)

(21) 出願番号 特願平 7 - 2 0 0 9 1 5

(22) 出願日 平成 7 年 (1995) 8 月 7 日

(71) 出願人 0 0 0 0 0 4 0 7 5

ヤマハ株式会社

静岡県浜松市中沢町 1 0 番 1 号

(72) 発明者 花ヶ崎 治

静岡県浜松市中沢町 1 0 番 1 号 ヤマハ株式会社内

(74) 代理人 弁理士 高橋 敬四郎 (外 2 名)

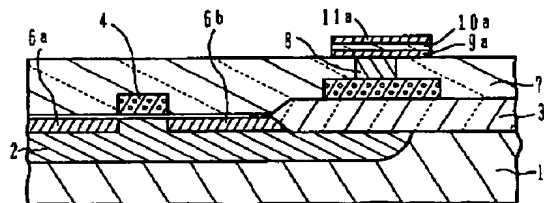
(54) 【発明の名称】 半導体記憶装置とその製造方法

(57) 【要約】

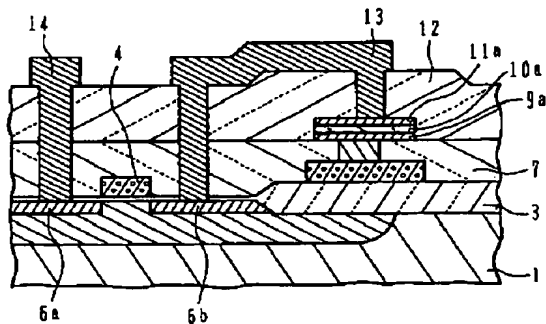
【課題】 強誘電体キャパシタを有する半導体記憶装置のキャパシタの特性を改善する。

【解決手段】 1 個のトランジスタと 1 個の強誘電体キャパシタを有するメモリセルを複数含む半導体記憶装置の作製工程において、トランジスタを形成する工程と、プレート線を形成する工程と、前記プレート線と接続された第 1 の導電膜、強誘電体膜および第 2 の導電膜の 3 層をこの順番に積層する工程と、前記 3 層を単一のエッチングマスクを用い、連続的にエッチングする工程を有し、強誘電体キャパシタの電極と強誘電体層の接触面を清浄に維持する。

(A)



(B)



【特許請求の範囲】

【請求項 1】 半導体表面を有する基板と、
前記半導体表面に形成され、ソース領域、ドレイン領域
およびゲート電極を有するトランジスタと、
前記基板の表面上に、第 1 電極、強誘電体層および第 2
電極がこの順に積層され、該第 1 電極、強誘電体層、お
よび第 2 電極が同一の平面形状を有し、該第 1 電極と第
2 電極のうちいずれか一方の電極が前記ドレイン領域に
電氣的に接続されている強誘電体キャパシタと、
を有する半導体記憶装置。

【請求項 2】 半導体領域と絶縁体領域とからなる表面
を有する基板と、
前記基板表面の半導体領域に形成され、ソース領域、ド
レイン領域およびゲート電極を有し、前記基板の表面に
行列状に配置された複数のトランジスタと、
前記基板の表面上に、前記トランジスタごとに形成さ
れ、第 1 電極、強誘電体層および第 2 電極がこの順に積
層され、該第 1 電極、強誘電体層、および第 2 電極が同
一の平面形状を有し、該第 1 電極と第 2 電極のうちい
ずれか一方の電極が前記ドレイン領域に電氣的に接続さ
れている複数の強誘電体キャパシタと、
前記複数の強誘電体キャパシタの該第 1 電極及び第 2 電
極のうち前記一方の電極と異なる他方の電極同士を電氣
的に接続するプレート線と、
前記複数のトランジスタのソース領域同士を各行ごとに
接続するビット線と、
前記複数のトランジスタのゲート電極同士を各列ごとに
接続するワード線とを有する半導体記憶装置。

【請求項 3】 前記強誘電体層と前記第 1 電極との界面
がほぼ平坦である請求項 2 に記載の半導体記憶装置。

【請求項 4】 前記プレート線は、
前記ゲート電極と同一の導電材料から構成され、前記基
板表面上の絶縁体領域に直接形成され、前記複数のキャ
パシタの前記第 1 電極同士を接続する請求項 2 もしくは
3 に記載の半導体記憶装置。

【請求項 5】 半導体表面を有する基板を準備する工程
と、

前記半導体表面に、ソース領域、ドレイン領域、及びゲ
ート電極を有するトランジスタを形成する工程と、
前記トランジスタを覆って層間絶縁膜を形成する工程
と、

前記層間絶縁膜上に第 1 導電膜、強誘電体膜及び第 2 導
電膜の 3 層をこの順番に連続して積層する工程と、
さらに、前記 3 層を同一のエッチングマスクを用いて連
続的にエッチングして、第 1 電極、強誘電体層、および
第 2 電極からなる強誘電体キャパシタをパターンニングす
る工程と、

前記第 2 電極と前記ドレイン領域を電氣的に接続する工
程とを有する半導体記憶装置の製造方法。

【請求項 6】 前記トランジスタを形成する工程が、

前記基板上に、導電膜を形成する工程と、
前記導電膜を選択的にエッチングして、配線と複数の前
記ゲート電極をパターンニングする工程と、
複数の前記ゲート電極をマスクとして複数の該ゲート電
極の両側の前記半導体表面にそれぞれ不純物を添加し
て、複数の前記ソース領域及びドレイン領域を形成する
工程とを有し、

さらに、前記層間絶縁膜を形成する工程の後、前記積層
する工程の前に、前記層間絶縁膜に、前記配線の一部表
面を露出するように各トランジスタごとにコンタクトホ
ールを形成し、該コンタクトホールを埋める導電性ブラ
グを形成する工程を有し、

前記積層する工程が、

前記導電性ブラグの上面に直接接触するように、前記第
1 導電膜を形成する工程を有し、

前記強誘電体キャパシタをパターンニングする工程が、
前記導電性ブラグの上面を含む領域に、前記各導電性ブ
ラグにそれぞれ 1 個の前記強誘電体キャパシタを接続す
る請求項 5 に記載の半導体記憶装置の製造方法。

【請求項 7】 前記導電性ブラグを形成する工程の後、
前記積層する工程の前にさらに、前記導電性ブラグの上
面及び前記層間絶縁膜表面を平坦化する工程を有する請
求項 5 もしくは 6 に記載の半導体記憶装置の製造方法。

【請求項 8】 半導体表面を有する基板を準備する工程
と、

前記半導体表面に、ソース領域、ドレイン領域、及びゲ
ート電極を有するトランジスタを形成する工程と、
前記トランジスタを覆って層間絶縁膜を形成する工程
と、

前記層間絶縁膜に、前記ドレイン領域の一部表面が露出
するようにコンタクトホールを形成し、該コンタクトホ
ールを埋める導電性ブラグを形成する工程と、

前記導電性ブラグの上面及び前記層間絶縁膜上に、第 1
導電膜、強誘電体膜及び第 2 導電膜の 3 層をこの順番に
連続して積層する工程と、

前記 3 層を同一のエッチングマスクを用いて連続的にエ
ッチングして、前記導電性ブラグの上面を含む領域に、
第 1 電極、強誘電体層、および第 2 電極からなる強誘電
体キャパシタをパターンニングする工程と、

を有する半導体記憶装置の製造方法。

【請求項 9】 前記導電性ブラグを形成する工程の後、
前記積層する工程の前に、

さらに、前記導電性ブラグの上面及び前記層間絶縁膜表
面を平坦化する工程を有する請求項 8 に記載の半導体記
憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、強誘電体キャパシ
タを用いた半導体メモリに関する。

【0002】

【従来の技術】今日用いられているメモリの種類には、大きく分けて、不揮発性メモリと揮発性メモリがある。不揮発性メモリとは、電源が切断され、電力等のエネルギーが供給されなくても書き込まれた記憶内容が消失しないメモリをいい、例えばフラッシュメモリ、磁気テープ、及び磁気フロッピーディスク等がある。

【0003】揮発性メモリとは、電源が切断されると記憶内容が消失してしまうメモリをいい、例えばスタティックランダムアクセスメモリ（SRAM）やダイナミックランダムアクセスメモリ（DRAM）といった半導体メモリがある。

【0004】1個のトランジスタと1個のキャパシタから構成されるシンプルなメモリセル構造を有するDRAMは、高集積化が可能であり、今日のデータ処理装置では重要な半導体メモリである。ただしDRAMは揮発性メモリであり、記憶を維持する為には、電源を投入し続けておく必要がある。

【0005】しかし、メモリセルを構成するキャパシタとして、強誘電体層を一对の電極間に挟んだ強誘電体キャパシタを用いると、そのメモリ性を有する分極特性により、不揮発性メモリの特性を兼ね添える半導体メモリを作ることができる。

【0006】図6に、強誘電体キャパシタを用いた半導体メモリセルの等価回路の例を示す。メモリセルは、1個のトランジスタTsと1個の強誘電体キャパシタCFを有し、その回路構成は一般的なDRAM回路とほぼ等しい。

【0007】図に示すように、トランジスタTsの制御端子はワード線に接続され、一方の電流端子はビット線に接続されている。他方の電流端子は強誘電体キャパシタCFの一对の電極の一方に接続されている。強誘電体キャパシタCFの他方の電極はプレート線に接続されている。

【0008】メモリセルアレイにおいては、複数のワード線が一方方向（水平方向）に配列され、複数のビット線が交差する他方向（垂直方向）に配列されて、各交点で行列構造を形成する。また、プレート線は、通常ワード線と同一方向に配列される。

【0009】図7（A）および図7（B）は、従来の強誘電体キャパシタを用いたメモリセルの構造を示す断面図である。まず、図7（A）に示すメモリセルの構造について説明する。半導体基板51の表面層には、不純物が拡散されたウェル領域52が形成されている。ウェル領域52の表面には、フィールド酸化膜53によって活性領域が画定されている。

【0010】この活性領域には、ソース領域54a、ドレイン領域54bおよびゲート酸化膜53aを介して形成されたゲート電極55を有するトランジスタが形成されている。トランジスタとフィールド酸化膜53を覆い、基板全面に層間絶縁膜56が形成されている。

【0011】フィールド酸化膜53上に積層された層間絶縁膜56の表面上には、下部電極配線層58、強誘電体層59、及び上部電極60aからなる強誘電体キャパシタが形成されている。キャパシタの誘電体膜としては、例えば $PbZr_{1-x}Ti_xO_3$ （ $0.3 \leq x \leq 0.6$ ）（PZT）等が用いられる。一般に、この膜はゾルゲル法で形成される。

【0012】PZT等の強誘電体材料は、酸素を遊離し電極を酸化し易い為、強誘電体層に接続する上部電極60aおよび下部電極配線層58の材料は、酸化されにくい金属、例えば白金（Pt）等の貴金属が用いられる。

【0013】下部電極配線層58と強誘電体層59は、導電膜と強誘電体膜を連続して積層した後、1つのエッチングマスクを用い連続的にエッチングすることで得られる。この下部電極配線層58の一部は、複数の強誘電体キャパシタの下部電極同士を電気的に接続するプレート線となる。

【0014】下部電極配線層58と強誘電体層59の2層をパターニングした後、さらに導電膜を成膜し、この膜をエッチングして上部電極60aを形成する。強誘電体キャパシタを覆って、層間絶縁膜61が形成されている。強誘電体キャパシタの上部電極60aとトランジスタのドレイン領域54bは、配線62により電気的に接続されている。

【0015】トランジスタのソース領域54aは、ビット線63に接続されている。次に、図7（B）に示すメモリセルの構造について説明する。図7（A）に示すメモリセルとの違いは、高集積化の為に強誘電体キャパシタをフィールド酸化膜上ではなくトランジスタ領域上に重ねて形成していることと、強誘電体キャパシタの下部電極ではなく、上部電極をプレート線と同一の配線層で形成していることである。

【0016】図7（A）と同様に、半導体基板51の表面層に、ウェル領域52が形成されている。ウェル領域52の表面に、フィールド酸化膜53によって活性領域が画定されている。この活性領域には、ソース領域54a、ドレイン領域54b、およびゲート酸化膜53aを介して形成されたゲート電極55を有するトランジスタが形成されている。

【0017】このトランジスタおよびフィールド酸化膜53を覆って層間絶縁膜56が形成されている。層間絶縁膜56を介してトランジスタ領域上に下部電極58aが形成される。下部電極58aは、層間絶縁膜56に形成されたコンタクトホールを埋める導電性プラグ57により、ドレイン領域54bと電気的に接続される。

【0018】下部電極58aの上には、強誘電体層59と上部電極配線層60の2層が形成されている。この2層は、連続に成膜した後、1つのエッチングマスクを用いてエッチングされる。

【0019】上部電極配線層60及び強誘電体層59

は、図中の紙面に垂直な方向に延在している。上部電極配線層 6 0 は、複数のキャパシタの上部電極同士を接続するプレート線としても作用する。

【 0 0 2 0 】強誘電体キャパシタは層間絶縁膜 6 1 で覆われている。ソース領域 5 4 a は、層間絶縁膜 5 6 および層間絶縁膜 6 1 に形成されたコンタクトホールを介しビット線 6 3 に接続されている。

【 0 0 2 1 】

【発明が解決しようとする課題】従来のメモリセル構造では、強誘電体キャパシタを構成する上下いずれかの電極とプレート線を同一配線層で形成している。電極は、強誘電体層との反応性の問題から P t 等の耐酸化性材料を用いる必要がある為、配線層も同じ P t 等の材料で形成される。この場合、配線抵抗を下げる必要性から P t 膜の厚みは約 1 0 0 n m 程度の厚い膜とする必要があった。

【 0 0 2 2 】プレート線や電極の形成には、エッチング工程が伴う。P t はそもそも難エッチング材料である上に、上述のように膜厚が厚い為、エッチングに長時間を要していた。

【 0 0 2 3 】また、強誘電体キャパシタの上下いずれか一方の電極とプレート線は同一配線層で形成し、他方の電極はトランジスタに対応して、各メモリセルごとに独立に形成していた。電極とプレート線を含む配線層のパターンと他方の電極のパターンは異なる為、上下の電極およびその間に挟まれた誘電体層の 3 層を一度のエッチング工程で同時にパターニングすることはできず、強誘電体キャパシタのパターニングには、少なくとも 2 度のエッチング工程を必要としていた。

【 0 0 2 4 】この 2 度のエッチング工程において、強誘電体層と上下いずれかの電極の接触面は、レジストパターニング工程等で露出することになる。この時接触面が汚染されることがあり、両者の膜の密着性が低下したり、強誘電体キャパシタの分極特性に悪影響を与えたりすることがあった。

【 0 0 2 5 】また、図 7 (B) に示したようなトランジスタ領域に重ねて強誘電体キャパシタを積層するメモリセルの構成では、凹凸のある下地表面に強誘電体キャパシタを形成する必要がある。

【 0 0 2 6 】強誘電体層は、一般にゾルゲル法を用いて形成される為、その膜厚はスピナを用いてゾル液を回転塗布した際の塗布膜の厚みで決まる。流動性あるゾル液の表面は平坦化される傾向にある為、下地表面に凹凸があると、必然的に膜厚のばらつきが生じる。この膜厚のばらつきが強誘電体キャパシタの分極特性のばらつきを発生させていた。

【 0 0 2 7 】本発明は、良好な特性の強誘電体キャパシタを有する半導体記憶装置とその作製方法を提供する。

【 0 0 2 8 】

【課題を解決するための手段】本発明の半導体装置は、

半導体表面を有する基板と、前記半導体表面に形成され、ソース領域、ドレイン領域およびゲート電極を有するトランジスタと、前記基板の表面上に、第 1 電極、強誘電体層および第 2 電極がこの順に積層され、該第 1 電極、強誘電体層、および第 2 電極が同一の平面形状を有し、該第 1 電極と第 2 電極のうちいずれか一方の電極が前記ドレイン領域に電氣的に接続されている強誘電体キャパシタとを有する。

【 0 0 2 9 】また、本発明の半導体装置は、半導体領域と絶縁体領域とからなる表面を有する基板と、前記基板表面の半導体領域に形成され、ソース領域、ドレイン領域およびゲート電極を有し、前記基板の表面に行列状に配置された複数のトランジスタと、前記基板の表面上に、前記トランジスタごとに形成され、第 1 電極、強誘電体層および第 2 電極がこの順に積層され、該第 1 電極、強誘電体層、および第 2 電極が同一の平面形状を有し、該第 1 電極と第 2 電極のうちいずれか一方の電極が前記ドレイン領域に電氣的に接続されている複数の強誘電体キャパシタと、前記複数の強誘電体キャパシタの該第 1 電極及び第 2 電極のうち前記一方の電極と異なる他方の電極同士を電氣的に接続するプレート線と、前記複数のトランジスタのソース領域同士を各行ごとに接続するビット線と、前記複数のトランジスタのゲート電極同士を各列ごとに接続するワード線とを有してもよい。

【 0 0 3 0 】さらに、前記強誘電体層と前記第 1 電極との界面がほぼ平坦であってもよい。さらに、前記プレート線は、前記ゲート電極と同一の導電材料から構成され、前記基板表面上の絶縁体領域に直接形成され、前記複数のキャパシタの前記第 1 電極同士を接続するものであってもよい。

【 0 0 3 1 】本発明の半導体記憶装置の製造方法は、半導体表面を有する基板を準備する工程と、前記半導体表面に、ソース領域、ドレイン領域、及びゲート電極を有するトランジスタを形成する工程と、前記トランジスタを覆って層間絶縁膜を形成する工程と、前記層間絶縁膜上に第 1 導電膜、強誘電体膜及び第 2 導電膜の 3 層をこの順番に連続して積層する工程と、さらに、前記 3 層を同一のエッチングマスクを用いて連続的にエッチングして、第 1 電極、強誘電体層、および第 2 電極からなる強誘電体キャパシタをパターニングする工程と、前記第 2 電極と前記ドレイン領域を電氣的に接続する工程とを有する。

【 0 0 3 2 】前記トランジスタを形成する工程が、前記基板上に、導電膜を形成する工程と、前記導電膜を選択的にエッチングして、配線と複数の前記ゲート電極をパターニングする工程と、複数の前記ゲート電極をマスクとして複数の該ゲート電極の両側の前記半導体表面にそれぞれ不純物を添加して、複数の前記ソース領域及びドレイン領域を形成する工程とを有し、さらに、前記層間絶縁膜を形成する工程の後、前記積層する工程の前に、

前記層間絶縁膜に、前記配線の一部表面を露出するように各トランジスタごとにコンタクトホールを形成し、該コンタクトホールを埋める導電性プラグを形成する工程を有し、前記積層する工程が、前記導電性プラグの上面に直接接触するように、前記第 1 導電膜を形成する工程を有し、前記強誘電体キャパシタをパターンニングする工程が、前記導電性プラグの上面を含む領域に、前記各導電性プラグにそれぞれ 1 個の前記強誘電体キャパシタを接続するものであってもよい。

【0033】さらに、前記導電性プラグを形成する工程の後、前記積層する工程の前にさらに、前記導電性プラグの上面及び前記層間絶縁膜表面を平坦化する工程を有してもよい。

【0034】本発明の別の半導体記憶装置の製造方法は、半導体表面を有する基板を準備する工程と、前記半導体表面に、ソース領域、ドレイン領域、及びゲート電極を有するトランジスタを形成する工程と、前記トランジスタを覆って層間絶縁膜を形成する工程と、前記層間絶縁膜に、前記ドレイン領域の一部表面が露出するようにコンタクトホールを形成し、該コンタクトホールを埋める導電性プラグを形成する工程と、前記導電性プラグの上面及び前記層間絶縁膜上に、第 1 導電膜、強誘電体膜及び第 2 導電膜の 3 層をこの順番に連続して積層する工程と、前記 3 層を同一のエッチングマスクを用いて連続的にエッチングして、前記導電性プラグの上面を含む領域に、第 1 電極、強誘電体層、および第 2 電極からなる強誘電体キャパシタをパターンニングする工程とを有する。

【0035】さらに、上記別の半導体記憶装置の製造方法において、前記導電性プラグを形成する工程の後、前記積層する工程の前に、さらに、前記導電性プラグの上面及び前記層間絶縁膜表面を平坦化する工程を有してもよい。

【0036】強誘電体キャパシタを構成する一対の電極とその間の強誘電体層の 3 層を、同一平面形状とすれば、この 3 層を 1 枚のエッチングマスクを用いて連続的にエッチングすることができる。強誘電体キャパシタの各層の界面は、レジスト膜のパターンニング工程やエッチング工程で露出されることがなく清浄な面として維持できる為、界面の密着力を良好に保つとともに、界面の汚染による強誘電体キャパシタの分極特性の劣化を避けることができる。

【0037】また、平坦化した下地表面上に強誘電体キャパシタを形成すれば、下地表面に凹凸がない為、強誘電体層をゾルゲル法を用いて形成する場合でも、その膜厚を均一にすることができる。膜厚の不均一さが要因となる特性のばらつきを小さくすることができる。

【0038】また、共通の導電膜をパターンニングしてトランジスタのゲート電極とプレート線を形成すれば、成膜工程やフォトリソ工程を省略化することもできる。

【0039】

【発明の実施の形態】第 1 の実施例によるメモリセルの作製工程について説明する。まず、図 1 (A) を参照して、半導体基板上にゲート酸化膜及びプレート線を形成するまでの工程について説明する。ここまでの工程は、通常のメタルオキサイドセミコンダクタ (MOS) トランジスタの作製工程と同様である。尚、この実施例においては、トランジスタとして、n チャネル MOS トランジスタを作製する場合を例にとって説明する。

【0040】まず、熱酸化により n 型の Si 基板 1 の表面上に酸化膜を形成する。この酸化膜表面上にスピナを用いてレジスト膜を回転塗布する。露光現像工程を経て、レジストパターンを形成する (以下、レジスト膜のパターンニングは、同様な方法で行うものとする)。

【0041】このレジストパターンをエッチングマスクとして、基板表面の酸化膜をエッチングする。得られた酸化膜のパターンとその上に残留しているレジストパターンをイオン注入マスクとして用い、p 型の導電性を付与するイオン、例えば B イオンをイオン注入する。この時用いるイオン注入条件は、加速エネルギー 30 keV、イオン注入量 $1.5 \times 10^{11} \text{ cm}^{-2}$ とする。

【0042】残ったレジストパターンを除去する。B イオンの注入層を約 1150℃ で熱処理して p 型ウェル 2 を形成する。この後、基板表面上の酸化膜を全てエッチング除去する。再び半導体基板 1 表面を熱酸化し、膜厚約 10 nm の薄い酸化膜を形成する。さらに基板全面に、熱 CVD 法 (化学気相堆積法) を用いて膜厚約 140 nm の窒化シリコン膜を形成する。

【0043】この窒化シリコン膜表面に、フィールド酸化膜を形成したい領域のみの窒化シリコン膜面が露出するように、レジスト膜パターンを形成する。このレジスト膜パターンをエッチングマスクとして、エッチングガスとして CF₄ を用いて、窒化シリコン膜をドライエッチングする。活性領域のみを覆う窒化シリコン膜のパターンを得る。残ったレジスト膜パターンは、この後除去する。

【0044】この窒化シリコン膜パターンを耐酸化性マスクとして、約 1100℃ で熱酸化を行う。図 1 (A) に示すように膜厚約 400 nm のフィールド酸化膜 3 が形成される。このフィールド酸化膜 3 によりトランジスタを作製する活性領域が画定される。この後、残った窒化シリコン膜パターンはエッチング除去する。

【0045】残された活性領域上の薄い酸化膜をトランジスタのゲート酸化膜 3a としてもよいが、より良質なゲート酸化膜を得る為に、残された酸化膜を窒化シリコン膜パターンと一緒にエッチング除去し、基板表面に新たに約 10 nm の熱酸化膜を形成し、これをゲート酸化膜 3a として用いる。

【0046】次に、ゲート電極 4 とプレート線 5 を形成する。まず減圧 CVD 法を用いて、基板表面に膜厚約 3

0 0 n m のポリシリコン膜を形成する。原料ガスとして S i H₄ を用い、雰囲気圧力は 0 . 3 T o r r 、基板温度は約 6 0 0 ° C とする。

【 0 0 4 7 】さらにこのポリシリコン膜に導電性を付与する為、n 型の不純物である燐 (P) を膜中に添加する。イオン注入法を用いて P の添加を行う場合は、加速エネルギー 3 0 k e V 、イオン注入量 $1 0^{16}$ c m⁻² の条件で行う。シート抵抗約 3 0 Ω / □ のポリシリコン膜を得ることができる。

【 0 0 4 8 】あるいはオキシ塩化リン (P O C l₂) 雰囲気中でポリシリコン膜を 8 0 0 ~ 9 0 0 ° C で熱処理することによっても、P をポリシリコン膜中に拡散させることができる。P の添加量の目安は、 $1 0^{20}$ i o n s / c m³ とする。

【 0 0 4 9 】不純物がドーブされたポリシリコン膜上に、レジストパターンを形成する。このレジストパターンをエッチングマスクとして、ポリシリコン膜をエッチングし、ゲート電極 4 とプレート線 5 を同時に形成する。

【 0 0 5 0 】このように、同一の導電材料で、ゲート電極とプレート線を形成すれば、成膜工程や、フォトリソ工程を省略化することができる。図 1 (B) に示すように、ゲート電極 4 をイオン注入マスクとして、不純物イオンのイオン注入を行い、ソース領域 6 a とドレイン領域 6 b を形成する。例えば、加速エネルギー 8 0 k e V 、イオン注入量 $5 . 0 \times 1 0^{16}$ c m⁻² の条件で砒素 (A s) イオンを基板面に注入する。このイオン注入条件で、A s イオンは薄いゲート酸化膜 3 a は通過するが、厚いフィールド酸化膜 3 は通過しない。

【 0 0 5 1 】この後、基板を 9 0 0 ° C で約 3 0 分間のアニールにより、注入された A s イオンを活性化し、トランジスタのソース領域 6 a とドレイン領域 6 b を形成する。図 1 (C) に示すように、常圧 C V D を用いて、膜厚約 1 0 0 0 n m のボロンフォスフォシリケートガラス (B P S G) 膜を成膜して、層間絶縁膜 7 を形成する。尚、図に示すように層間絶縁膜 7 の表面には下地表面の凹凸形状を反映した凹凸が形成される。

【 0 0 5 2 】層間絶縁膜 7 上にレジストパターンを形成する。このレジストパターンをエッチングマスクとして、層間絶縁膜 7 をドライエッチングし、プレート線 5 の一部表面を露出させるコンタクトホールを形成する。

【 0 0 5 3 】図 2 (A) に示すように、フッ化タングステン (W F₆) ガスの還元反応を利用した選択 C V D により、コンタクトホール内に露出した S i 面のみを選択的に埋める W プラグ 8 を形成する。

【 0 0 5 4 】図 2 (B) に示すように、CMP (化学 / 機械的研磨) 法によって、表面の凹凸を無くすように、層間絶縁膜 7 と W プラグ 8 を表面から削っていく。例えば、表面の最も高い部分から約 5 0 0 n m 削り、表面をほぼ平坦化する。

【 0 0 5 5 】尚、CMP 法に限らず、例えばエッチバック法を用いて基板表面の平坦化を行ってもよい。エッチバック法は、基板表面に S O G 膜を塗布し、S O G 塗布液の流動性によって、予め平坦な塗布表面を形成した後、表面から S O G 膜およびその下層の膜を等速度でエッチングして平坦な表面を得る方法である。この場合、W プラグ 8 の上面が露出するまでエッチングする。

【 0 0 5 6 】図 2 (C) に示すように、平坦化した基板表面上に、スパッタ法で P t 膜 9、ゾルゲル法で P Z T (P b Z r_{0.5} T i_{0.5} O₃) 膜 1 0、さらにスパッタ法 P t 膜 1 1 を連続して積層する。

【 0 0 5 7 】ここで用いるゾルゲル法は、前駆体を含むゾル溶液を基板面に塗布した後、加熱により溶媒を蒸発させ、ゾル液をゲル化することで膜を形成する方法である。ゾル溶液中の前駆体は、金属アルコキシド等を用いた化学的生成法で生成する。作製する膜の組成比を金属アルコキシドの投入比で容易に制御できる。成膜が常圧で行えるので複雑な装置を必要としないで済む。

【 0 0 5 8 】P Z T 膜の作製手順としては、まず P Z T の前駆体、例えば P b (C H₃ C O O)₂ · 3 H₂ O 、Z r (n - O C₂ H₅)₄ 、T i (i - O C₂ H₅)₄ とを溶媒中に含むゾル液を作製する。スピナ等を用いて、P t 膜 9 上にゾル液を回転塗布する。膜厚約 1 0 0 n m のゾル液の層が形成される。

【 0 0 5 9 】層間絶縁膜 7 の表面は平坦化されている為、P t 膜 9 の表面も平坦であり、この上に塗布するゾル液の層の厚みをほぼ均一にすることができる。この後、高速熱アニール (R T A) 法を用いて約 6 0 0 ° C で約 3 0 秒間加熱して、ゾル液をゲル化すれば、P Z T 膜 1 0 が得られる。

【 0 0 6 0 】P t 膜 9 と P t 膜 1 1 の膜の厚みは、それぞれ 2 0 n m 、5 0 n m とする。P t 膜 1 1 の膜厚が、P t 膜 9 の膜厚より厚いのは、この先の工程で配線と接続する必要があり、両者のコンタクト特性を良好にする為、予め接触表面を軽くエッチングするからである。

【 0 0 6 1 】従来のように強誘電体キャパシタの電極とプレート線が同一配線層で形成されている場合は、配線抵抗を下げる必要から P t 膜の膜厚を 1 0 0 n m 程度の厚い膜とする必要があった。しかし本実施例では、キャパシタの電極とプレート線は、独立に形成される為、電極の配線抵抗を考慮する必要はなく、上下の P t 膜の膜厚とも上述のように 5 0 n m 以下の厚さにすることができる。

【 0 0 6 2 】尚、P Z T は酸素を遊離し易い為、接続する電極を酸化し易い。よって、強誘電体キャパシタの電極材料は、上述した P t のように耐酸化性の貴金属材料を選ぶことが好ましい。P t 以外にも、A u を用いてもよいだろう。

【 0 0 6 3 】図 3 (A) に示すように、P t 膜 1 1 の表面上にレジストパターンを形成し、このレジストパター

ンを共通なエッチングマスクとして、Pt膜11、PZT膜10およびPt膜9の3層を連続してエッチングする。Wプラグ8上に下部電極9a、強誘電体層10a、及び上部電極11aからなる強誘電体キャパシタが形成される。

【0064】上記3層のエッチングは、物理的なエッチング方法、例えばArを用いたイオンミリング（イオンビームスパッタ）法を用いることが好ましい。イオンミリングを用いる場合の条件は、例えばArガス圧3×10⁻⁴Torr、ビーム電流400mA、ミリング時間10分間とする。尚、イオンミリングの代わりに、リアクティブイオンエッチング法を用いてもよいだろう。

【0065】図3（B）に示すように、強誘電体キャパシタを覆うように、常圧CVDを用い、膜厚約1000nmのBPSG膜を形成する。この膜が層間絶縁膜12となる。

【0066】この層間絶縁膜12に、配線のためのコンタクトホールを開ける。コンタクトホールは、トランジスタのソース領域6a、ドレイン領域6b、及び強誘電体キャパシタの上部電極11aのそれぞれの表面の一部が露出するように設ける。

【0067】配線と良好なコンタクトをとるため、上部電極11aの表面を軽くエッチングする。この後、スパッタリング法を用いてTi膜、リアクティブスパッタ法を用いてTiN膜さらにスパッタリング法でAl膜の3層をこの順に積層して配線層を形成する。各層の膜厚は、例えばTi膜を20nm、TiN膜を100nm、Al膜を1000nmとする。

【0068】配線層上にレジストパターンを形成する。このレジストパターンをエッチングマスクとして、配線層のエッチングを行い配線13、およびビット線14を得る。

【0069】トランジスタのソース領域6aは、ビット線14に接続される。ビット線14は、後に図4を参照して説明するように、図の断面とは異なる領域を図の横方向に延在し、複数のトランジスタのソース領域同士を電氣的に接続する。ドレイン領域6bは、配線13により強誘電体キャパシタの上部電極11aと接続される。

【0070】以上の工程をもって、メモリセルが完成する。なお、同時にSi基板1上には多数のメモリセルがアレイ状に形成される。図4は、基板上に形成されたメモリセルアレイのレイアウトの一例を示す。

【0071】各メモリセルは、1個のトランジスタと1個の強誘電体キャパシタから構成される。図中一点鎖線I-I'で示す切断面が、図3（B）に示したメモリセルの断面図に相当する。

【0072】フィールド酸化膜により活性領域a1、a2が画定されている。活性領域a1の中央にソース領域s1、その左右にそれぞれゲート電極w1、w2を介してドレイン領域d1、d2が配置されている。即ち、活

性領域a1内には、中央のソース領域s1を共通とするトランジスタが2個形成される。ソース領域s1は、ビット線b1によって、他の複数のトランジスタのソース領域と接続される。

【0073】活性領域a1の図中左右に隣接する領域に、個々のトランジスタに対応した強誘電体キャパシタが配置される。強誘電体キャパシタcf1は、隣接するトランジスタのドレイン領域d2に接続される。図には示していないが、活性領域a1の他方の隣接する領域にも同様にドレイン領域d1に接続された強誘電体キャパシタが配置される。

【0074】強誘電体キャパシタの下部電極に接続されるプレート線p1は、複数のメモリセルの強誘電体キャパシタを接続するように形成される。次に、第2の実施例について説明する。

【0075】図5は、第2の実施例によるメモリセルの断面図である。強誘電体キャパシタをトランジスタ領域上に形成している点、およびプレート線を、強誘電体キャパシタの上層に形成している点が第1の実施例と異なる。

【0076】以下、図5を参照して、実施例2の作製方法とメモリセル構造について併せて説明する。半導体基板1の表面層に、ウェル領域2を形成する。フィールド酸化膜3により、ウェル領域2の表面に活性領域を画定する。この活性領域に、ソース領域6a、ドレイン領域6b、およびゲート酸化膜3aを介して形成されたゲート電極3aを有するトランジスタを形成する。

【0077】このトランジスタおよびフィールド酸化膜3を覆う層間絶縁膜7を形成する。この層間絶縁膜7にドレイン領域表面が露出するようなコンタクトホールを形成し、さらにこのコンタクトホールをWプラグ15により埋める。

【0078】Wプラグ15を含む層間絶縁膜7の表面をCMP法等を用いて平坦化する。平坦化した表面上に、Pt膜、PZT膜、Pt膜をこの順序に連続して積層する。下地表面に凹凸がない為、PZT膜をゾルゲル法で作製した場合でも、均一な膜厚を得ることができる。

【0079】1つのレジストパターンをエッチングマスクとして、Pt膜、PZT膜、Pt膜の3層を同時にエッチングし、下部電極9a、強誘電体層10a及び上部電極11aからなる強誘電体キャパシタを形成する。

【0080】トランジスタのドレイン領域6bと下部電極9aは、コンタクトホールを埋めるWプラグ15により、電氣的に接続される。強誘電体キャパシタは第1の実施例とは異なり、層間絶縁膜7を介してトランジスタ領域上に形成する。このように、トランジスタ領域上に強誘電体キャパシタを形成すると、メモリセルの占有面積をより小さくすることも可能な為、メモリ集積度を上げることができる。

【0081】強誘電体キャパシタを覆うようにして、層

間絶縁膜 1 2 を形成する。トランジスタのソース領域 6 a は、層間絶縁膜 7 および層間絶縁膜 1 2 に形成したコンタクトホールを通して、ビット線 1 4 に接続される。ビット線 1 4 は、図 3 (B) の場合と同様に複数のトランジスタのソース領域同士を接続する。

【 0 0 8 2 】層間絶縁膜 1 2 に、強誘電体キャパシタの上部電極 1 1 a の表面の一部が露出するコンタクトホールを形成し、このコンタクトホールを埋める配線 1 3 a を形成する。

【 0 0 8 3 】さらに、ビット線 1 4 及び配線 1 3 a 等を覆う層間絶縁膜 1 6 を形成する。層間絶縁膜 1 6 に配線 1 3 a の表面の一部が露出するコンタクトホールを形成する。層間絶縁膜 1 6 上に、コンタクトホールを介し配線 1 3 a に接続されるプレート線 5 を形成する。プレート線 5 は、紙面に垂直な方向に延在し、複数の強誘電体キャパシタの上部電極同士を電気的に接続する。なお、層間絶縁膜 1 2 及び 1 6 を貫通するコンタクトホールを 1 回のエッチングで形成してもよい。

【 0 0 8 4 】ビット線 1 4 とプレート線 5 は、どちらも複数のメモリセルを接続する配線であり、基板上でその配線が交差する箇所が存在する。よって、ビット線 1 4 とプレート線 5 は、層間絶縁膜等を介して、電気的に独立させる必要がある。層間絶縁膜 1 6 は、この為に設けられた層である。なお、層間絶縁膜 1 2 の表面上にプレート線 5 を形成し、層間絶縁膜 1 6 上にビット線 1 4 に接続するビット線を形成してもよい。

【 0 0 8 5 】プレート線 5 は、トランジスタのソース領域に接続されるビット線 1 4 と同じ T i / A l 等の材料で形成してもよいだろう。以上、第 1 の実施例および第 2 の実施例について説明した。いずれの場合も、強誘電体キャパシタの上下の電極とは別に独立にプレート線を形成する。よって、プレート線のパターンにとらわれずに、電極パターンを決定できる。強誘電体キャパシタを構成する一対の電極とその間の強誘電体層の 3 層を、同一平面形状とすれば、この 3 層を 1 枚のエッチングマスクを用いて連続にエッチングすることができる。強誘電体キャパシタの各層の界面は、レジスト膜のパターニング工程やエッチング工程で露出されることがなく清浄な面として維持できる為、界面の密着力を良好に保つとともに、界面の汚染による強誘電体キャパシタの分極特性の劣化を避けることができる。

【 0 0 8 6 】また、いずれの実施例においても、平坦化した層間絶縁膜を含む表面に強誘電体キャパシタを形成している。下地表面に凹凸がない為、強誘電体層をソルゲル法を用いて形成する場合でも、その膜厚を均一にすることができる。膜厚の不均一さが要因となる特性のばらつきは、これにより解決できる。

【 0 0 8 7 】さらに、第 1 の実施例の場合は、強誘電体キャパシタの下部電極をトランジスタのドレイン領域 6 b に直接接続していないので、イオンミリングやプラズ

マエッチングで、強誘電体キャパシタをパターニングする際、発生する電荷がトランジスタへ流入しない。よって流入電荷によるトランジスタ特性の劣化を避けることもできる。

【 0 0 8 8 】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、メモリセルに形成するトランジスタの種類は、n チャネル MOS トランジスタに限らない。上述の作製方法における不純物の導電型を変えることで p チャネル MOS トランジスタを形成してもよい。また、ゲート酸化膜を他の絶縁膜、例えば窒化膜に変え、M I S トランジスタを形成してもよい。

【 0 0 8 9 】強誘電体層の材料として P Z T を用いているが、これ以外の材料、例えばチタン酸バリウム (B a T i O₃) 膜、チタン酸ストロンチウムバリウム (B a , S r , T i O₃) 膜等を用いてもよい。また、ソルゲル法以外の方法、例えばスパッタリング法、M O C V D 法を用いて強誘電体層を形成してもよい。

【 0 0 9 0 】その他種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【 0 0 9 1 】

【発明の効果】強誘電体キャパシタを構成する上下の電極および強誘電体層の 3 層を同一マスクを用いて、連続してエッチングすることにより、強誘電体層表面と上下の電極の接触面を清浄に保つことができる。この為、両者の層の密着性をより良好に保つことができるとともに、分極特性の劣化を抑制できる。

【 0 0 9 2 】また、強誘電体キャパシタを形成する層間絶縁膜表面を平坦化することにより、強誘電体層の膜厚を均一に保ち、強誘電体キャパシタの特性をより安定なものにすることができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施例の製造工程を示す為のメモリセルの断面図である。

【図 2】 本発明の第 1 の実施例の製造工程を示す為のメモリセルの断面図である。

【図 3】 本発明の第 1 の実施例の製造工程を示す為のメモリセルの断面図である。

【図 4】 本発明の第 1 の実施例のメモリセルアレイの平面図である。

【図 5】 本発明の第 2 の実施例のメモリセルの断面図である。

【図 6】 メモリセルの回路構成図である。

【図 7】 従来のメモリセルの断面図である。

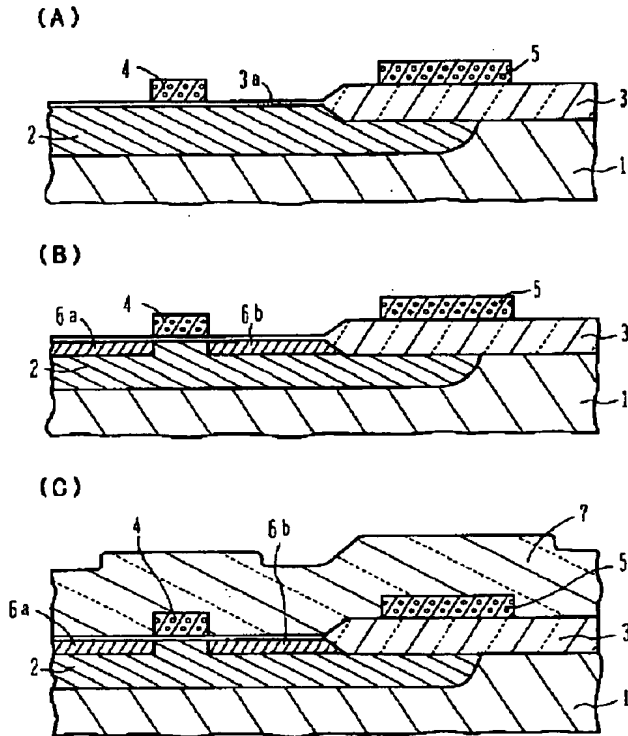
【符号の説明】

1、5 1・・・半導体基板、2、5 2・・・p ウェル、3、5 3・・・フィールド酸化膜、4、5 5・・・ゲート電極、5・・・プレート線、6 a、5 4 a・・・ソース領域、6 b、5 4 b・・・ドレイン領域、7、5 6、1 2、6 1、1 6・・・層間絶縁膜、8、1 5、5 7・

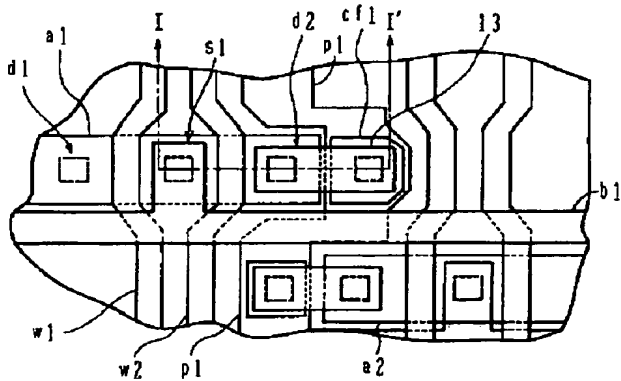
15

・・プラグ、9 a、58 a・・下部電極、58・・
下部電極配線層、10 a、59・・強誘電体層、11
a、60 a・・上部電極、60・・上部電極配線
層、13、62、・・配線、14、63・・ビット

【図 1】



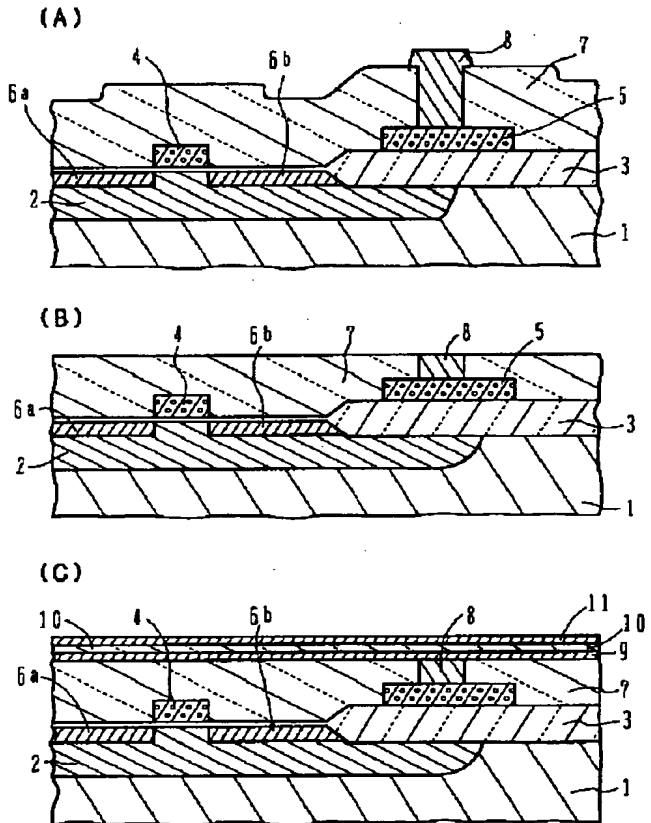
【図 4】



16

線、a1、a2・・活性領域、b1・・ビット線、
s1・・ソース領域、d1、d2・・ドレイン領
域、p1・・プレート線、w1、w2・・ワード
線、cf1・・強誘電体キャパシタ

【図 2】



【図 5】

